

PATENT ABSTRACTS OF JAPAN

W1422

(11)Publication number : 2000-100659

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

H01G 5/16
H01G 17/00
H01G 5/01
H01G 5/18
H01G 5/00

(21)Application number : 11-257390

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 10.09.1999

(72)Inventor : BARBER BRADLEY PAUL
BISHOP DAVID JOHN
GAMMEL PETER LEDEL
MARCUS MATTHEW A

(30)Priority

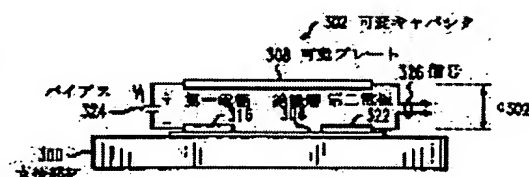
Priority number : 98 152185 Priority date : 12.09.1998 Priority country : US

(54) CIRCUIT ELEMENT AND METHOD FOR USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-port variable capacitor based on an MEMS(micro electromechanical system).

SOLUTION: A circuit element is provided with a movable plate 308 supported on first and second coplanar fixed electrodes. A bias power source 324 is electrically connected to the first fixed electrode 316 and the plate 308, and applies a bias voltage V1 across the electrode 316 and plate 308. An AC signal carrying line is electrically connected to the fixed second electrode 322 and plate 308. When the bias voltage V1 is applied, an electrostatic attracting force acts between the first electrode 316 and plate 308. Consequently, the plate 308 moves downward toward the electrode 316 and the distance between the plate 308 and electrode 316 is reduced. Accordingly, the capacitance of a multi-port variable capacitor 302 increases. In this capacitor 302, the bias voltages and signals are electrically separated (isolated) from each other.



LEGAL STATUS

[Date of request for examination]

23.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

REST AVAILABLE COPY

rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

W1422

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-100659

(P2000-100659A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 G 5/16		H 0 1 G 5/16	
17/00		5/01	Z
5/01		4/40	Z
5/18		5/18	
5/00		5/24	J

審査請求 未請求 請求項の数20 O L (全 17 頁)

(21) 出願番号 特願平11-257390

(22) 出願日 平成11年9月10日 (1999.9.10)

(31) 優先権主張番号 09/152185

(32) 優先日 平成10年9月12日 (1998.9.12)

(33) 優先権主張国 米国 (US)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ
レイテッド

Lucent Technologies
Inc.

アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(74) 代理人 100081053

弁理士 三俣 弘文

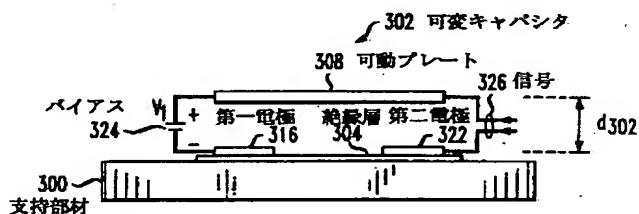
最終頁に続く

(54) 【発明の名称】 回路素子及びその使用方法

(57) 【要約】

【課題】 MEMSベースの多ポート可変キャパシタを提供する。

【解決手段】 本発明に係るデバイスは、第一及び第二コプラナー固定電極上に支持された可動プレートに有している。バイアス電源が第一電極及び可動プレートに電氣的に接続されており、バイアス電圧 V_1 が印加される。AC信号担持ラインは、第二電極及び可動プレートに電氣的に接続される。バイアス V_1 が印加されると、静電的な引力が第一電極と可動プレートとの間に作用する。このため、可動プレートが第一電極方向に下方へ動き、可動プレートと第一固定電極との間の距離が減少し、可変キャパシタの容量が増大する。本発明に係る多ポート可変キャパシタでは、バイアスと信号とが、互いに電氣的に分離 (アイソレート) されている。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 多ポート可変キャパシタを含む回路素子において、当該多ポート可変キャパシタが、電気的に分離された第一及び第二コプラナー電極；及び、前記第一及び第二電極からある間隔を有して配置されたプレート；を有しており、前記第一電極と前記プレートとの間に電圧が印加された場合に前記プレートがその中立位置から少なくとも前記第一電極方向に移動することが可能であり、前記プレートが前記第一電極方向に移動すると、前記第一電極と前記プレートとの間の第一キャパシタンス、及び前記第二電極と前記プレートとの間の第二キャパシタンスが変化することを特徴とする回路素子。

【請求項 2】 前記回路素子が、さらに、前記プレートと前記第一及び第二電極との間に空間を実現する目的の、前記プレートと機械的な接触を有する支持部材を有することを特徴とする請求項 1 記載の回路素子。

【請求項 3】 前記支持部材が、前記プレートに対して復元力を与える弾力性を有するものであることを特徴とする請求項 2 記載の回路素子。

【請求項 4】 前記支持部材が導電性を有しており、前記プレートに印加される電圧が前記支持部材を介して伝達されることを特徴とする請求項 2 記載の回路素子。

【請求項 5】 前記電圧が DC バイアスであることを特徴とする請求項 1 記載の回路素子。

【請求項 6】 前記回路素子が、さらに、AC 信号を前記第二電極に電気的に接続する接続手段を有することを特徴とする請求項 5 記載の回路素子。

【請求項 7】 前記回路素子が、さらに、前記第一電極と前記第二電極の間であってかつ前記プレートの下部にその前記プレートに接触するように配置された支点を有しており、当該支点が前記プレートを第一及び第二部分に分割することを特徴とする請求項 1 記載の回路素子。

【請求項 8】 前記回路素子が論理デバイスとして機能するものであり、さらに、前記プレートの下に配置された第三電極；前記第一電極を第一 AC 信号に電気的に接続する第一接続；及び、前記第二電極を第二 AC 信号に電気的に接続する第二接続；を有しており、前記第三電極から読み出される第三信号が前記第一 AC 信号の第一値と前記第二 AC 信号の第二値とに依存していることを特徴とする請求項 7 記載の回路素子。

【請求項 9】 前記第一及び第二値が前記第一及び第二 AC 信号のそれぞれの電圧を表わしていることを特徴とする請求項 8 記載の回路素子。

【請求項 10】 前記回路素子が、さらに、前記プレートの前記第一部分の下の前記第一電極と前記第二電極との間に配置された第三電極；及び、前記プレートの前記第二部分の下の前記第三電極と前記第二電極との間に配置された第四電極；を有することを特徴とする請求項 8 記載の回路素子。

【請求項 11】 前記回路素子が LC 回路であり、さら

に、前記多ポート可変キャパシタに電気的に接続されたインダクタ；及び、信号発生器；を有することを特徴とする請求項 1 記載の回路素子。

【請求項 12】 前記インダクタ及び前記多ポート可変キャパシタが直列に接続されていることを特徴とする請求項 1 記載の回路素子。

【請求項 13】 前記インダクタ及び前記多ポート可変キャパシタが並列に接続されていることを特徴とする請求項 1 記載の回路素子。

【請求項 14】 前記回路素子が可変周波数発振器であり、さらに、前記 LC 回路に電気的に接続された負性抵抗デバイスが有することを特徴とする請求項 1 記載の回路素子。

【請求項 15】 前記負性抵抗デバイスがトランジスタであり、前記回路素子が、さらに、前記トランジスタに電気的に接続された終端ネットワークを有していることを特徴とする請求項 1 4 記載の回路素子。

【請求項 16】 多ポート可変キャパシタを含む回路素子において、前記多ポート可変キャパシタが、第一及び第二電極；ここで、前記第一及び第二電極はコプラナーであって互いに電気的に分離されている；前記第一及び第二電極の上部にある間隔を有して配置されたプレート；前記プレートを前記第一及び第二電極の上部にある間隔を有するように支持する支持部材；ここで、前記支持部材は弾力性がありかつ導電性を有している；前記プレートと前記第一電極との間に第一電気信号を接続する第一接続；及び、前記プレートと前記第二電極との間に第二電気信号を接続する第二接続；を有することを特徴とする回路素子。

【請求項 17】 前記多ポート可変キャパシタが、さらに、前記プレートの下に配置されて前記プレートに接触している支点；を有しており、前記支点が機能的に前記プレートを二つの部分に分割し、その一方の部分がその下に位置する前記第一あるいは第二電極方向に動く際に、前記二つの部分のうちの他方がその下に位置する前記第二あるいは第一電極から離れる方向に動くことを特徴とする請求項 1 6 記載の回路素子。

【請求項 18】 前記回路素子が可変周波数発振器であり、前記可変周波数発振器が、LC 回路を組み込んだ負荷；ここで、前記 LC 回路は前記多ポート可変キャパシタを有している；前記負荷に電気的に接続されたトランジスタ；及び、前記トランジスタに電気的に接続された終端ネットワーク；を有していることを特徴とする請求項 1 6 記載の回路素子。

【請求項 19】 三つの電極からある距離を有するように支点上に配置されたプレートをを用いて論理演算を実行する方法において、当該方法が、前記第一電極と前記プレートとの間に第一信号を印加する段階；前記第二電極と前記プレートとの間に第二信号を印加する段階；及び、前記第三電極から第三信号を読み出す段階；を有し

ており、前記第三信号が前記第一及び第二信号の関数として決定されることを特徴とする回路素子使用方法。

【請求項 20】 前記第三信号が、前記第三信号の論理状態を前記第一及び第二信号の論理状態の関数として与える真理値表から決定されることを特徴とする請求項 19 記載の回路素子使用方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロマシーニングによって作製された可変キャパシタに関する。

【0002】

【従来の技術】種々の望ましくかつ重要な回路のモノリシックインプリメンテーション（モノリシック IC 化）は、従来技術に係る製造方法を用いて低損失かつ安価な線型受動 RF コンポーネントを製造することに係る困難のために、これまでのところ、実現不能あるいは少なくとも商業ベースでは非現実的である。この問題は、マイクロエレクトロメカニカルシステム（MEMS）技術を用いて取り扱われてきており、ある程度の成功を収めている。MEMS 技術を用いることによって、インダクタ、可変インダクタ及び可変キャパシタの機能を有するデバイスが、種々のシリコン IC コンパチブルな、微小サイズのエレクトロメカニカル構造によって実現されている。可変キャパシタは、可変周波数発振器（VFO）、同調増幅器、パラメトリック増幅器、位相シフタ、イコライザ、及びインピーダンス整合回路等を含む種々の電気回路において重要な素子である。

【0003】可変キャパシタは、制御電圧あるいは電流の変化がキャパシタンスの変化を引き起こす素子である。可変キャパシタの公知のインプリメンテーションの一例はバラクタであり、通常、pn 接合ダイオードとして実現される。この種のバラクタダイオードにおいては、制御電圧の変化が、およそファクタ 10 程度のキャパシタンスの変化を引き起こす。ダイオードバラクタは、通常、入力ポートと出力ポートの 2 ポートを有している。2 ポートデバイスであるため、ダイオードバラクタの機能は制限されている。詳細に述べれば、バラクタに印加される二つの信号、すなわち DC バイアス及び AC 信号が、入力ポートで受容される。DC バイアスはバラクタダイオードのキャパシタンスをセットし、AC 信号はバラクタダイオードを含む回路によって処理される信号である。双方の信号が AC であると、残念ながら混合非線型性が発生し、その結果、制御信号に対するバラクタの応答が非線型になる。さらに、2 ポートデバイスであるために、AC 信号経路に DC 成分が重畳されることになる。

【0004】ダイオードベースのバラクタの前述された限界（すなわち 2 ポートデバイスであるという限界）は、今日までに提案された大部分の MEMS ベースの可変キャパシタに対して持ち越されている。図 1 は、従来

技術に係る、第一の MEMS ベース可変キャパシタ 102 を模式的に示した図である。この種の可変キャパシタは、通常、二つの平行プレート 104 及び 106 を有している。二つのうちの一方のプレートは可動ではない。従来技術に係る MEMS ベース可変キャパシタ 102 においては、可動ではないプレートは下部プレート 106 であり、支持基板 100 上に配置されている。二つのうちの他方のプレート、すなわちこの実例においては上部プレート 104 は、可動である。上部プレート 104 は、通常、可動ではない下部プレート 106 上に、ビーム構造あるいは適切に配置されたヒンジプレート（図示せず）によって保持されている。

【0005】双方のプレートは、可変キャパシタ 102 に対して、通常 DC であるバイアス電圧 V_1 を印加するように機能するバイアス電源（図示せず）に電気的に接続されている。双方のプレートは、通常 AC である信号 S を可変キャパシタ 102 に対して印加する信号線に電気的に接続される。バイアス V_1 が上部プレート 104 及び下部プレート 106 に印加されると、上部プレート 104 が固定された下部プレート 104 方向に移動する。それゆえ、可変キャパシタ 102 のキャパシタンスが増大する。Youngらによる“モノリシック低雑音 VCO 向けのマイクロマシーニングによって作製された可変キャパシタ”（Tech. Digest, pp. 86-89, 1996 Solid State Sensor and Actuator Workshop, Hilton Head Island, South Carolina, June 3-6, 1996）という表題の論文を参照。

【0006】図 2 は、従来技術に係る第二の MEMS ベース可変キャパシタ 202 を模式的に示した図である。可変キャパシタ 202 は、可動ではない上部プレート 206、可動ではない下部プレート 208 及び可動プレート 204 の三つの平行プレートを有している。可動プレート 204 が、可動ではないプレートの間に挟まれている。

【0007】これらのプレートは、図 2 に示されているように、可変キャパシタ 202 にバイアス電圧 V_1 及び V_2 を印加するように機能する二つのバイアス電源（図示せず）に電気的に接続されている。二つのプレートは、通常 AC である信号を可変キャパシタ 202 に対して印加する信号線に電気的に接続される。バイアス V_2 がゼロボルトにセットされていてゼロではないバイアス電圧 V_1 が印加されると、可動プレート 204 は可動ではない上部プレート 206 の方へ上方に移動し、可変キャパシタ 202 のキャパシタンスを増大させる。バイアス V_1 がゼロボルトにセットされていてゼロではないバイアス電圧 V_2 が印加されると、可動プレート 204 は可動ではない下部プレート 208 の方へ下方に移動し、可変キャパシタ 202 のキャパシタンスを減少させる。この MEMS ベース 3 プレート可変キャパシタ 202 は、その発明者によって、例えば可変キャパシタ 102

のような 2 プレート MEMS ベース可変キャパシタよりも広い同調範囲を実現するように記述されている。A. Decらによる“広同調範囲を有するマイクロマシーニングによって製造されたバラクタ”(Elec. Lett. Online No. 19970628 (1997. 4. 7)) という表題の論文を参照。

【0008】従来技術に係る MEMS ベースの可変キャパシタ 102 及び 202 の双方において、バイアス (V_1 及び V_1/V_2) 及び信号 (110 及び 210) は電氣的に分離 (アイソレート) されていない (すなわち、それぞれ同一のポートに接続されている)。2 ポートデバイスであるため、MEMS ベースの可変キャパシタ 102 及び 202 は、従来技術に係るダイオードバラクタと共通の、前述されたようなある種の限界を残念ながら有している。

【0009】

【発明が解決しようとする課題】よって、2 ポートよりも多い個数のポートを有する MEMS ベースの可変キャパシタが望まれている。このようなデバイスは、従来技術に係るダイオードベースあるいは MEMS ベースの可変キャパシタと比較して、これまでに達成し得なかったフレキシビリティ並びに有用性を提供する。

【0010】

【課題を解決するための手段】本発明に従って、多ポート可変キャパシタを有するデバイスが記載される。ある実施例においては、本発明に係るデバイスは、第一及び第二コプラナー固定電極上に支持された可動プレートに有している。バイアス電源が第一電極及び可動プレートに電氣的に接続されており、バイアス電圧 V_1 が多ポート可変キャパシタに印加される。AC 信号担持ラインは、第二電極及び可動プレートに電氣的に接続される。バイアス V_1 が印加されると、静電的な引力が第一電極と可動プレートとの間に作用する。このような引力のため、可動プレートが第一電極方向に下方へ動くことになる。その場合には、可動プレートと第一固定電極との間の距離が減少し、可変キャパシタの容量が増大する。

【0011】従来技術に係る可変キャパシタとは異なり、本発明に係る多ポート可変キャパシタのある種の実施例においては、(第一電極を介して伝達される) バイアスと (第二電極を介して伝達される) 信号とは、互いに電氣的に分離 (アイソレート) されている。DC 及び AC が混合されないため、真の AC 回路設計を行なうことが可能である。言い換えれば、実際に DC は存在しないのであるから、回路を DC の存在を考慮することなく設計することができる。さらに、本発明に係る多ポート可変キャパシタは、従来技術に係る可変キャパシタよりも実質的により線型に動作させることが可能である。より詳細に述べれば、制御信号及び RF 信号が個別のポートに印加されるため、RF 信号が当該デバイスのキャパシタンスの変化に寄与しないように電極を適切に設計することが可能である。さらに、制御端子に印加される比

較的中庸な電圧に関してかなりのキャパシタンス変化を実現するように、機械的な構造上の利点を利用することが可能である。

【0012】ある種の実施例においては、本発明に係る可変キャパシタは、可動プレートが“斜めになる”ことが可能であるように構成される。斜めになることが可能であることにより、本発明に係る可変キャパシタの有用性及び機能が増大する。詳細に述べれば、このような“斜め”多ポート可変キャパシタは、加算、減算、乗算及び比較といった“信号処理”(すなわちロジック) 機能を実行することが可能である。

【0013】さらに別の実施例においては、本発明に従ったデバイスは、モノリシック集積化可能な、同調可能な LC 回路を構成する。この種の LC 回路においては、本発明に係る多ポート可変キャパシタが、回路の共振周波数をチューニングするために用いられる。この種の LC 回路は、ある種の実施例においては、チューナブルフィルタを実現するために用いられる。さらなる実施例においては、本発明に従うデバイスは、チューナブルな LC 回路を組み込んだ可変周波数発振器 (VFO) を構成する。

【0014】

【発明の実施の形態】図 3 は、本発明に従った多ポート可変キャパシタ 302 を簡潔に示す模式図である。多ポート可変キャパシタ 302 は、二つの固定電極、すなわち第一電極 316 及び第二電極 322 の上部に支持された可動プレート 308 を有している。固定電極は、基板 300 上に配置された電氣的絶縁層 304 上に位置している。可動プレート 308 を第一及び第二電極 316 及び 322 上に支持するのに適した支持部材 (図示せず) は、後に、図 9 及び図 10 に関連して記述される。

【0015】可変キャパシタ 302 においては、DC バイアス電源 324 が、第一電極 316 と可動プレート 308 との間に電氣的に接続されており、可変キャパシタ 302 にバイアス V_1 を印加している。AC 信号担持ライン 326 は、第二電極 322 と可動プレート 308 との間で可変キャパシタ 302 に電氣的に接続されている。図 4 に示されているように、バイアス V_1 が可動プレート 308 と第一電極 316 との間に印加されると、静電的な引力が発生する。この引力のために、可動プレート 308 は第一電極 316 に向かって下方に動かされる。可動プレート 308 と固定電極 316、322 との間の間隔、 d_{302} が減少すると、可変キャパシタ 302 の容量は増大する。

【0016】多ポート可変キャパシタ 302 においては、(第一電極 316 を介して伝達される) バイアスと (第二電極 322 を介して伝達される) 信号とが、互いに電氣的に分離されている。DC 及び AC が混合させられないため、真の AC 回路設計が可能である。さらに、このような電氣的分離のために、本発明に係る多ポート

可変キャパシタは、少なくともある種の状況下においては（例えば、DC電圧がAC電圧の時間平均よりも大きい場合など）、従来技術に係る（2ポート）可変キャパシタによって実現可能なものよりも実質的に線型に機能する。

【0017】図3に示されている多ポート可変キャパシタ302はわずか二つの固定電極しか有していないが、別の実施例においてはより多くの電極が存在することが可能であることに留意されたい。さらに、ある種の実施例においては、電氣的に分離された電極が可動プレート308上に配置されていて、共通電極がその下部に存在する、という場合もあり得る。また、別の実施例においては、電氣的に分離された電極が可動プレート308上にも、その下部の第一及び第二電極316及び322と同様に配置される。三つあるいはそれ以上の電極を有するある種の実施例においては、第一及び第二電極は互いに電氣的に接続される一方、第三電極がそれらから電氣的に分離されている場合もある。

【0018】図5から図8に示されているようなある種の実施例においては、本発明に係る可変キャパシタの可動プレートが、第一電極と可動プレートとの間の第一距離が第二電極（第n電極）と可動プレートとの間の第二距離（第n距離）とは異なるように物理的にされている（以下、“斜め”と呼称する）。本発明に従った“斜め”多ポート可変キャパシタは、基本的な容量機能に加えて、信号処理（すなわち論理演算機能）を実行することが可能である。

【0019】図5は、本発明に従った斜め多ポート可変キャパシタ502の第一の実施例を簡潔に示す模式図である。斜め多ポート可変キャパシタ502は、支点506上に配置されたプレート508を有している。支点506は、プレート508を第一部分510及び第二部分512に“分割し”、バスキュールすなわち“シーソー”を構成している。

【0020】プレート508は導電性材料より構成されているか、あるいはプレート508上に配置された金属層514等の層によって、導電性を有するようにされている。第一電極516は、プレート508の第一部分510の下部に位置しており、第二電極522はプレート508の第二部分512の下部に位置している。第一及び第二電極516及び522は、支持部材500上に配置された電氣的に絶縁性の層504上に配置されている。

【0021】多ポート可変キャパシタ502のこの実施例においては、DCバイアス524は、第一電極516とプレート508の第一部分510とに電氣的に接続されていて、バイアス V_1 が印加されている。AC信号担持線526は、多ポート可変キャパシタ502の第二電極522及びプレート508の第二部分512とに電氣的に接続されている。

【0022】図6に示されているように、プレート508の第一部分510と第一電極516との間にバイアス V_1 が印加されると、それらの間に電氣的な引力が発生する。この引力により、第一部分510が第一電極516に向かって下方に移動する。支点506のため、プレート508の第二部分512は、第一部分510の下方への動きに応答して、上方に支持基板500から離れる方向に移動する。このような動きのために、プレート508の第二部分512と第二電極522との間の距離 d_{502} が変化する。距離 d_{502} が変化すると、それに関連する容量が変化する。このようにして、プレート508と第二電極522との間の容量が、印加されたバイアスの関数として制御される。

【0023】上述された実施例においては、本発明に係る斜め多ポート可変キャパシタが、支点を有し、“シーソー”のように動作するものとして記述されているが、“斜め”を生成するための他の配置も本発明と共に用いられ得るものとして企図されていることに留意されたい。例えば、ある実施例においては、以下に図8、9及び10に関連して記述されているように、可動プレートの“斜め”を生成する目的でスプリングが用いられ得る。このような実施例においては、スプリングは可動プレートの隅から離れたところに配置される。可動プレートとその下部に位置する電極との間に電圧が印加されると、プレートは電圧が印加された電極の方向に移動する。その動きのため、電圧が印加された電極に最も近接したスプリングが変形し、電圧が印加された電極の上部に位置するプレートの部分のみが実質的に下方に移動する。可動プレートの他の部分は、このような下方への動きに応答して、その“中立”位置より上方に移動する。

【0024】可動プレートは、四角形である必要はない。例えば、ある実施例においては、可動プレートは三角形でスプリングによって支持されており、それぞれの下方に位置する電極に向かって個別にバイアスされうる。

【0025】前述されているように、ある実施例においては、本発明に係る可変キャパシタは二つより多い個数の電極を有している。図7に示されたそのような実施例においては、可変キャパシタ502に示された二つよりも多い四つの電極716、718、720及び722を有する多ポート可変キャパシタ702が示されている。第一電極716は、支点706から距離 x_2 のところに電氣的に絶縁性の層704上に配置されている。第二電極718は支点706から距離 x_1 のところに電気絶縁層704上に配置されている。第三電極720及び第四電極722は、それぞれ支点706から距離 $-x_1$ 及び $-x_2$ のところに電気絶縁層704上に配置されている。

【0026】特定のアプリケーションによって希望される場合には、可動プレート708は絶縁体材料より構成

される。ある実施例（図示せず）においては、導電性材料（例えば金属）の一小片が可動プレート708の上部の電極720及び722上に配置される。このようにして電氣的にフローティング状態にある直列接続が、各々の電極と可動プレート708との間で実現される。可動プレート708の上部の電極716及び718上に配置された同様のフローティング電極が、可動点を実現する。このような配置により、単一の導電性可動プレートに係る接地の問題が除去される。

【0027】可変キャパシタ702におけるこのような多電極の存在により、可変キャパシタ502あるいは従来技術に係る可変キャパシタと比較した際に、機能及び有用性が追加される。なかでも、種々の電極の支点706との間の相異なった位置のために、各々のバイアス電極に相異なった電圧-容量応答が実現される。言い換えれば、（相異なった時点で）電極716及び718に同一のDCバイアスを印加することにより、例えばプレート708の第二部分712と第四電極722との間の相異なった距離 d_{702} が実現される。

【0028】このような多電極可変キャパシタ702は、可変キャパシタ502よりもより微妙な“チューニング”能力を実現する。詳細に述べれば、このような微妙なチューニング能力は、支点706の一方の側に位置する第一及び／あるいは第二電極716、718にバイアスを印加し、支点706の他方の側に位置する第三電極720にバイアスを印加することによって実現される。この実施例の場合には、第四電極722はAC信号向けに予約されている。

【0029】さらに、本発明に係る斜め多ポート可変キャパシタは、例えば支点706の一方の側で受容した信号電圧を支点706の他方の側で受容したものと“比較する”ことによって、“信号処理”（例えば論理演算）機能を実現することが可能である。本発明に係る信号処理能力及びそれらに基づいたシグナルプロセッサは後に記載される。

【0030】図8は、可変キャパシタ702のように配置された可変キャパシタ902の上面図である。詳細に述べれば、可変キャパシタ902は、種々の電極との電氣的接続を実現するワイヤボンディングパッドすなわちコンタクトの具体的な配置、及び種々の電極上にプレート908を支持する支持部材の具体的な実施例を例示している。支点906はプレート908の下部に配置されている。

【0031】パッド930a/930b、及びコンタクト932a/932bは、“スプリング”928を介して、プレート908への電氣的接続を実現している。パッド940は、ワイヤトレース942を介して第一電極916への電氣的接続を実現する。パッド944a/944bは、それぞれワイヤトレース946a/946bを用いて第二電極918への電氣的接続を実現する。パ

ッド948a/948bは、それぞれワイヤトレース950a/950bを介して第三電極920への電氣的接続を実現する。パッド952は、ワイヤトレース954を用いて第四電極922への電氣的接続を実現する。

【0032】プレート908への電氣的接続を実現するコンタクト932a（及び932b）は、ライン936aを介してパッド938aに電氣的に接続されたパッド934aを有している。パッド934a及び934bがパッド952の両側に位置するようにパッド934a、934b及びパッド952を直線状に配置することにより、接地-信号-接地という配置が実現される。当業者には公知であるが、このような接地-信号-接地配置は、比較的高い周波数（例えばおよそ10GHzより高い周波数）を有する信号がそのようなコンタクトへ伝達される際のガイドとして機能する。よってこの可変キャパシタ902は、パッド952及びコンタクト932a/932bによってRFすなわちマイクロ波信号を受容するように配置されている。別の実施例においては、パッド930a/930bが、コンタクト940と共に、同様の接地-信号-接地配置を実現している。他のコンタクト（例えばパッド944a/b及び948a/b）を接地-信号-接地配置となるようにすることも可能であるが、電氣的経路長がより長くなってしまうために若干問題である。

【0033】スプリング928はプレート908を基板100上に支持しており、コンタクトパッドと共にプレートに対する電氣的接続も実現している。スプリング928は、（1）バイアスあるいは他の信号が印加されない場合にプレート908を中立位置に維持する、（2）プレート908が基板側に相対的に移動することを可能にするように変形する、及び（3）バイアスが印加されて変形された位置から中立の位置にプレート908を引き戻す復元力を与えるように配置されている。

【0034】図9及び10は、上述された要求を達成するのに適した配置を有するスプリング928の詳細を記述した図である。図9に示されているように、スプリング928は、（それがプレートを中立位置に保持している際には）引き延ばされたU字形をしている。スプリング928の第一脚1060から延在する部材1058が、コンタクトパッド、例えば可変キャパシタ902のパッド930b、に接続されている。第二脚1064の第一端1066から延在する部材1068が可動プレート、例えばプレート908、に接続されている。

【0035】図10に示されているように、第二脚1064はプレート908の移動に従って下方に動き、第一脚1060を下方に引っ張る。プレート908がその下方に位置する電極方向に動いた距離のおよそ半分の距離が第二脚1064の湾曲によって実現され、残りの半分の距離が第一脚1060の湾曲によって実現される。脚1060及び1064がその中立位置から下方に移動すること

によって、スプリング928にエネルギーが蓄えられる。プレート908をその中立位置から移動させることに関与していたバイアスあるいは他の信号が取り去られると、スプリング928に蓄えられていたエネルギーが解放され、プレート908及びスプリング928をその中立位置に戻す。スプリング928によって示される弾性を実現するのに適した他の配置も、プレート908を中立位置に戻す目的で用いられ得る。

【0036】コンタクトパッドと可動プレート908との間の機械的な支持と電氣的接触とが同一の部材によって実現されることが望ましい。そのため、スプリング928は導電性を有する材料であるか、あるいは金属を貼り付ける等によって導電性を有するようにされていることが望ましい。以下に記述されているように、従来技術に係るMEMSマイクロマシーニングプロセスを用いて、スプリング928に金属層を容易に貼り付けることが可能である。

【0037】本発明に係る多ポート可変キャパシタの大きさは、その特定のアプリケーションに適するように著しく変化させることが可能であるが、図8に示されているパッド940のような大きいコンタクトパッドは通常その長片がおよそ100ミクロンであり、プレート908は通常およそ400-600ミクロン四方か、あるいはその長片が400-600ミクロン、短片がおよそ200ミクロンである。

【0038】本発明に係る多ポート可変キャパシタを製造するテクノロジーは、例えばノースカロライナ州MEMSマイクロエレクトロニクスセンター(MCNC)等の種々の提供源より入手可能である。MCNCによって提供されているテクノロジーの一つに、3層ポリシリコン表面マイクロマシーニングプロセスがある。“POLY0”と呼称される最下層の層は、基板から離れるようにすることはできず、基板(例えばシリコンウエハ)上のアドレス電極や局所配線のパターニングに用いられる。“POLY1”及び“POLY2”と呼称される上部2層のポリシリコン層は空中にリリース(解放)することが可能であって、機械的構造を形成するために用いられる。このような解放は、製造工程において、ポリシリコン層間の犠牲酸化膜層をエッチングを用いて除去することによって実現される。ポリシリコン層POLY0、POLY1及びPOLY2は、それぞれ公称膜厚0.5、2.0及び1.5ミクロンである。ポリシリコン及び酸化膜層は個々にパターニングされ、各々の層の不要な部分は、次の層が追加される前に反応性イオンエッチングによって除去される。公称0.6ミクロン厚の金属層がPOLY2層上に形成される場合もある。

【0039】図12から図17は、図11に示された多ポート可変キャパシタ1102の製造工程の種々の段階を示す、線A-Aにおける断面図である。多ポート可変キャパシタ1102は、コンタクトパッドすなわちアン

カー1130から延在するスプリングによって保持された可動プレート1108を有している。四つの電極1116、1118、1120及び1122が、可動プレート1108の下部の導電性を有さない層1104上に配置されている。図を簡潔にするために、固定電極へのコンタクトは描かれていない。

【0040】図12に示されているように、導電性を有さない材料1104bが支持基板上に配置され、層1104b上にポリシリコン第一層POLY0が形成される。POLY0層は、図13に示されているようにパターニングされる。POLY0層は、四つの領域にパターニングされて四つの電極1116、1118、1120及び1122を構成するが、断面図にはそのうちの二つのみが示されている。

【0041】図14に示されているように、犠牲酸化膜層OX1がパターニングされたPOLY0層上に形成され、ポリシリコン第二層POLY2がOX1層上に形成される。後の段階で、酸化膜層OX1は完全に除去されて、可動プレート1108及びスプリング1128が“解放”される。POLY1層は、図15に示されているようにパターニングされ、可動プレート1108を構成する2層が形成される。アンカー孔AWが層OX1を貫いてパターニングされ、最終のポリシリコン層形成時にその一部が層1104b、さらには基板に“固定(アンカー止め)”される。図16は、POLY1層上に形成されてパターニングされた第三層POLY2を示している。POLY2層は、パターニングされているように、スプリング1128、アンカー1130、及び可動プレート1108の上部層を構成する。

【0042】図17は、可動プレート1108が“解放された”(すなわち、酸化膜層が除去された)後の可変キャパシタ1102を示している。金属層Mがスプリング1128及びアンカー1130の一部の上に形成される。なぜなら、アンカー及びスプリングが、可動プレート1108への電氣的接続を実現するからである。

【0043】“斜め”多ポート可変キャパシタ502の支点506のような支点は、MEMSテクノロジーを用いて種々の方法でインプリメントされうる。図18は、支点が可動プレート1208から延在する自在ピヴォットピン1206によって実現されている第一のインプリメンテーション例である。ピン1206は、支持部材1209aによって支持されている。ピン1206と部材1209aとの間には、空隙1280が存在する。この空隙は、自在ピヴォットピンを製造するために必要となる。このような空隙が存在しない場合には、以下に記述される“ねじれスプリング”が発生する。MCNCによる3層プロセスを用いる場合には、ピン1206及び可動プレート1208は第三ポリシリコン層POLY2から作られ、部材1209aはPOLY1層から、そして固定電極はPOLY0層からそれぞれ作られる。

【0044】別の実施例（図示せず）においては、ピヴォットピンの代わりに“ねじれスプリング”が用いられる。この種のねじれスプリングは、ピン1206のようなピンを部材1209aに固定することによって実現される。このようにピンが固定されると、可動プレートの方の側が下方に引き下げられた場合に、ピン1206のように回転したりピヴォット動作をしたりすることはできない。電圧が印加された電極によって可動プレートの方の側が下方に引き下げられる場合には、ねじれスプリングがねじれてエネルギーを蓄える。電極への電圧印加がなくなると、蓄えられたエネルギーは解放されて可動プレートを中立位置に戻す。

【0045】図19に示されている更に別の実施例においては、自己アセンブリ“曲がり”プレート1282が、ピヴォットピン1206を支持する支持部材として用いられる。以下に記述されているように、このような曲がりプレートを用いることによって、図18に記述された実施例において必要とされた空隙1280を形成する必要がなくなる。空隙1280形成を不要にすることによって、ピヴォット動作は非常に小さな印加電圧から開始されるようになる。空隙1280が存在する場合には、可動プレート1208は、電圧を印加することによって可動プレートとピヴォットの双方の側に配置された下層電極との間の空隙を小さくするために、まず下方に引き下げられなければならない。可動プレート1208は、ピン1206が部材1209aと接触するまで、下層の電極方向に下方に引き下げられる。ピン1206が部材1209aと接触すると、可動プレート1208は、“引っ張り側”すなわちバイアスされた側の電極の方にさらに下がり続け、一方支点の反対側は上昇する。ある実施例においてはこのような空隙を回避することが望ましいが、企図されるアプリケーションの機能によっては、この空隙が望ましい場合もある。

【0046】図18に示された実施例と同様、ピヴォットピン1206及び可動プレート1208は、第三ポリシリコン層POLY2から作られ、部材1209bは第二ポリシリコン層POLY1から作られる。曲がりプレート1282は、POLY2層から作られる下層1284と、高い内部ストレスを有する材料よりなる上層1286とからなる。金等の金属がこの種の目的に用いられる。犠牲シリコン酸化膜層（図示せず）がエッチングによって除去されて可動プレート1208及び曲がりプレート1282が解放されると、金属層1286はストレスを最小にするように縮む。このような収縮のために、曲がりプレート1282の自由端に上昇方向の力が印加される。

【0047】ある実施例においては、薄い“粘着”層（図示せず）が、構造層（例えばポリシリコン層）POLY2上に形成される。粘着層は、その上層に配置される導電層に対して良好に付着し、その下層の構造層に対

して導電層そのものよりもより良好に付着する、例えばクロムのような材料からなる。粘着層は、導電層よりも高い内部ストレスを有して形成され、解放されるとストレスを最小にするように縮小する。セルフアセンブリあるいはガイドアセンブリに係る、当業者には公知の方法が、本発明と共に用いられ得る。

【0048】前述されているように、本発明に係る“斜め”多ポート可変キャパシタは、基本的な“ロジック”デバイス及びシグナルプロセッサとして機能することが可能である。以下、そのような実施例が記述される。

【0049】図20は、本発明に従って基本的なロジック回路すなわちスイッチング回路として機能する可変キャパシタを有するデバイス802を簡潔に示す模式図である。デバイス802は、支点806上にプレート808を有している。電極816及び820は、支点806のそれぞれの側の等距離のところに配置されている。付加電極818が、電極816と820との間に配置されている。図20に示されている実施例においては、電極818は、電極816ではなく電極820により近接して配置されているが、別の実施例においては、電極818は電極816により近接して配置される。

【0050】デバイス802は、電極816とプレート808との間に信号 V_1 を印加するように機能する第一信号源（図示せず）に電気的に接続されている。さらに、デバイス802は、電極820とプレート808との間に信号 V_2 を印加するように機能する第二信号源（図示せず）に電気的に接続されている。さらに、デバイス802は、出力Oを有しており、これは電極818において生成された信号である。

【0051】デバイス802の真理値表は、第1表のようになる：

第1表

O	V_1	V_2
0	1	1
0	0	0
1	1	0
1	0	1

【0052】 V_1 及び V_2 の双方とも論理1あるいは論理0の場合には、プレート808は中立位置に留まるため、出力Oは論理0となる。 V_1 が論理1で V_2 が論理0の場合には、プレート808は電極820に向かって下方に移動する。このように移動する際、電極818とプレート808との間での容量の変化が検出され、出力Oは論理1となる。 V_1 が論理0で V_2 が論理1の場合には、プレート808は電極820に向かって下方に移動する。このような動きに際しても、電極818とプレート808との間の容量変化が検出され、出力は論理1と

なる。

【0053】従来技術に係る論理回路と比較すると、本発明に係る多ポート可変キャパシタは、論理回路としてインプリメントされた場合には、(1)低消費電力、

(2)高周波信号に対してそのような論理演算を実行する能力、及び、(3)論理回路の複雑さの低減、をそれぞれ実現する。

【0054】上述された論理回路は、非常に基本的な実施例にすぎないことに留意されたい。付加的な機能を実現し、本発明に係る多ポート可変キャパシタを他の論理アプリケーションに関して有用なものとするための種々の配置が可能である。このような配置は、当業者には明らかであるが、本発明と共に用いられるものであり、本発明の範疇に包含される。例えば、可動プレートを下方に引っ張るために必要とされる信号は、可動プレートを下がった状態で維持するために必要とされる信号(電圧)よりも著しく小さい(可動プレートとその下に存在する電極との間の空隙が小さくなるからである)。よって、メモリ、ヒステリシス、バウンス雑音あるいはクロスオーバー雑音低減が、本発明に係る論理回路に“組み込まれうる”。さらに、可動プレートを完全に引き下げて電極上に静止させるのに十分なほど信号が強くない場合には、“部分”真理値が生成されることが可能であって、それらを検出することも可能である。

【0055】付加的な実施例においては、本発明に係る論理回路は、物理的なラッチすなわち引っ掛けを有することが可能であって、可動プレートがひとたび斜めになるとロックされるようにすることが可能である。そのため、電源が取り去られた場合にも“メモリ”を実現する。

【0056】図21は、本発明に従ったシグナルプロセッサ1302aの簡潔な概念図である。この種のシグナルプロセッサは、複数の電極を有する“斜め”多ポート可変キャパシタとして実現される。プロセッサ1302aは、入力 I_{1-N} 、出力 O_{1-N} 、及び制御信号 CS_{1-N} を有しており、加算、減算、乗算及び信号比較を行なうことが可能である。入力、出力及び制御信号線は、可動プレート1308aの下部に配置された電極(図示せず)に電気的に接続されている。この電気的接続の実際の配置は、プロセッサ1302aに対して要求される機能によって規定される。

【0057】前述された収受の信号処理機能が、図22を参照してRF信号に関して以下に例示される。図22は、可動プレート1308b、支点1306b、及び電極1316、1318、1324、1320及び1322を有するシグナルプロセッサ1302bを示している。簡単のために、種々の入力/出力/制御信号線、及びそれらと電極との相互接続は示されていない。

【0058】シグナルプロセッサ1302bは、重み付きあるいは重み無し比較器としての第一の機能を実現す

る。このようなアプリケーションにおいては、第一RF信号が電極1316に与えられ、第二RF信号が電極1322に与えられる。より大きなRMS電圧を有するRF信号が、可動プレートを、その信号が印加されている電極に向かって引き下げる。この信号が、可動プレート1308bを介して出力電極1324に伝えられる。出力電極1324から読み出されるのは、より大きな電圧を有するRF信号である。

【0059】決定は、例えば相異なった大きさの電極を用いる、電極と支点1306bとの間隔を変える、あるいは電極と可動プレート1308bとの間の空隙を変化させること等によって、“重み付け”されることが可能である。例えば、シグナルプロセッサ1302bにおいて、第一RF信号が電極1316に印加され、第二RF信号が電極1320に印加される場合には、決定は、より長い“腕”のために(すなわち、電極1316と支点1306bとの距離が電極1320と支点1306bとの距離よりも大きいために)、第一RF信号により重みを与えたものとなる。

【0060】ヒステリシスは、可動プレート1308bの回転をその中立位置から比較的小さな量に制限することによって制御されうる。ある実施例においては、可動プレート1308bに対して、信号が印加されていない場合に、中立位置への復元力を与えるスプリングあるいは他のエレメントが付加される。

【0061】シグナルプロセッサ1302bは、加算及び減算という第二の機能を実現する。小信号(低電圧)限界においては、可動プレートを中立位置に戻す復元力が印加された状態で、複数の信号が支点1308bの同一の側に位置する複数の電極に印加されると、それらの信号の時間平均の総和が計算される。例えば、そのような二つの低電圧RF信号が電極1316及び1318に印加されると、時間平均の総和が電極1322におけるずれとして読み出される。

【0062】シグナルプロセッサ1302bは、より高い電圧のRF信号を用いる場合には、乗算という第三の機能を実現する。乗算機能は、以下の例を通じて理解される。信号S1及びS2が支点1306bの左側に位置する電極1316及び1318にそれぞれ印加され、かつ、信号S1及びS2の総和が支点1306bの右側の電極1322に印加されると仮定する。可動プレートを電極1316及び1318方向に引き下げる力は $\langle S1 \rangle^2 + \langle S2 \rangle^2$ である。ここで、“ $\langle \rangle$ ”は時間平均を表わしている。可動プレート1308bを電極1322方向へ引き下げる力は $\langle S1 + S2 \rangle^2$ によって表わされる。可動プレートを支点の左側で電極方向に引き下げる力と支点の右側で引き下げる力の差は、 $\langle S1 \times S2 \rangle$ である。よって、双方の信号の積の時間平均が、可動プレートのずれとして、電極1320によってセンスされる。

【0063】シグナルプロセッサ1302bは、フィードバック素子としての動作という第四の機能を実現する。この機能を理解するために、電極1322が、後に本明細書において記述されているような、LC回路に組み込まれていると仮定する。このようなLC回路の共振周波数は、フィードバックループにおいて制御される。このフィードバックループにおいては、電極1316に印加されるDC電圧の増加が電極1322と可動プレート1308bとの間の空隙を増大させ、それらの間の容量を低減し、LC回路の共振周波数を増大させる。逆に、電極1320に印加されるDC電圧の増加が電極1322と可動プレート1308bとの間の空隙を減少させ、それらの間の容量を増加し、LC回路の共振周波数を低下させる。

【0064】その小さなサイズとCMOSプロセスとのコンパチビリティのために、本発明に係る多ポート可変キャパシタは、商業スケールの処理を用いて、種々の重要な回路にモノリシック集積化可能であるという利点を有している。最も基本的な回路レベルにおいては、本発明に係る多ポート可変キャパシタは、上述されたようなチューナブルなLC回路を実現する目的で用いられる。この種のチューナブルLC回路は、以下に記述されているように、無線通信及びその他のアプリケーションにおける可変周波数発振器（“VFO”）、フィルタ及び他の重要な回路において用いられる。

【0065】図23及び24は、それぞれ従来技術に係る直列及び並列LC回路である。この種のLC回路は、しばしば“タンク”回路と呼称されるが、最も基本的な実例においては、インダクタ及びキャパシタを有している。直列LC回路1100は、信号源G1、キャパシタC1、インダクタL1及び抵抗R1を有しており、図示されているように接続されている。並列LC回路1200は同一の素子（すなわち、信号源G2、キャパシタC2、インダクタL2及び抵抗R2）を有しているが、並列に接続されている。抵抗R1及びR2は実際の回路素子ではなく、特にインダクタなどの回路素子に固有の抵抗成分を表わす目的で含まれている。

【0066】いずれの回路においても、インダクタとキャパシタのインピーダンス（あるいはリアクタンス）の大きさが等しい場合には、その回路は共振状態にある。LC回路の共振周波数 f_r は、直列及び並列の場合とも、

$$[1] \quad f_r = 1 / (2\pi (LC)^{1/2})$$

によって与えられる。ここで、 f_r は共振周波数（単位：Hz）、Lはインダクタンス（単位：H）、及びCはキャパシタンス（単位：F）である。

【0067】式[1]によって与えられるように、回路の共振周波数はLあるいはCのいずれかの値を変化させることによって変化させることが可能である。よって、本発明に係る多ポート可変キャパシタをこのようなLC

回路に組み込むことによって、その回路はチューナブルになる。チューナブルLC回路それ自体は新規なものではない；しかしながら、本発明に係る多ポート可変キャパシタの機能、低コスト性、スピード及びCMOSとのコンパチビリティは、そのような回路の有用性を増大する。

【0068】LC回路がフィルタアプリケーションに用いられ得ることは公知である。このような用途への適用は、本発明の発明者による出願中の“インダクタを構成する部材”という表題の 付けの米国特許出願第

号において記述されており、当該特許出願は本発明の参照文献である。本発明に係る可変キャパシタは、ノッチフィルタ、パスフィルタ及びバンドパスフィルタ、あるいは他の配置において用いられ得る。

【0069】本発明に係るある実施例においては、相異なった値を有する複数の電気的に分離されたキャパシタが、単一の可動プレートをを用いて製造される。可動プレートは固定電極に関して垂直方向に移動するため、複数のキャパシタの容量が相対的に同一量だけ変化する。可動プレートが支点によって斜めになるような実施例においては、支点の一方の側に構成されたキャパシタの容量が増大し、支点の他方の側に構成されたキャパシタの容量が減少する。よって、可動プレートと固定電極の位置を適切に構成することによって、各々のキャパシタの容量が、共振LC回路によって構成されたフィルタにおける全てのキャパシタに所定の協調効果を与えるように（すなわち、例えばフィルタのパスバンドをシフトさせるように）調節される。

【0070】モノリシック集積化可能でCMOSコンパチブルな、本発明に係る可変LC回路は、前述されたような多ポート可変キャパシタ、及び通常のCMOSインダクタあるいは前述の参照文献に記載されているようなMEMSベースの固定インダクタを含んでいる。

【0071】前述されているように、LC回路は、例えばVFOを含むより複雑なデバイスにおける重要な構成要素である。本発明のさらなる実施例においては、前述されたCMOSコンパチブルかつモノリシック集積化可能なLC回路が、モノリシック集積化可能なVFOを構成するために用いられる。特定のVFOレイアウトを示すのではなく、本発明と共に用いられるのに適した一般的なレイアウトが以下に記述される。本明細書において提供されるガイドライン及び発振器設計に係る公知の原理を適用することによって、当業者は本発明に従うVFOを特定のアプリケーションに適合するように種々の方法で配置することが可能である。

【0072】本発明に係るVFOは、無線周波数発振器である。発振器は、DC電力をRF電力に変換するデバイスあるいは回路である。本発明に係るソリッドステート発振器は、ダイオードやトランジスタなどの非線型能動素子を組み込んでおり、それらは不安定な、“負性抵

抗”領域で動作するようにバイアスされている。“負性抵抗”という術語は、エネルギーが共振構造に対して、当該共振構造がRF発信を維持することを可能にするように結合されるプロセスを記述するために用いられており、全体としてのRF電力を生成するための要件である。

【0073】発振器の発振周波数は、負荷及び終端回路、さらに、しばしば共振構造としてインプリメントされる周波数選択ネットワークによって決定される。本発明においては、当該共振構造が、本発明に係る多ポート可変キャパシタを含むLC回路を有している。本発明に係る可変キャパシタをこの種の回路に組み込むことにより、発振器の発振周波数が調節可能になる。さらに、単一の可動プレートを用いて複数の可変キャパシタを製造することによって、付加的な機能が実現される。ある回路において二つの周波数が必要とされ、それらの周波数の比を一定に保つことが重要な場合には、単一の可動プレートの下に二つの電極を作製することによって、これら二つの電極によって形成される周波数制御用キャパシタが、それらの初期値が異なっている場合においても、同一の相対量だけ変化することが保証される。他方、複数の周波数が相異なった比率で変化することが望ましい場合には、本発明に係る斜め多ポート可変キャパシタの支点から相異なった距離のところに配置された電極が周波数制御用素子として用いられる。

【0074】ある実施例においては、本発明に係る改良VFOは、本発明に係る多ポート可変キャパシタを、公知の1ポート負性抵抗発振器配置において利用する。1ポート負性抵抗発振器の概念図が図25に示されている。この種の発振器は、負荷Lと負性抵抗入力デバイスINを有するものとして概念的に考えることが可能である。通常、負性抵抗デバイスはガン(Gunn)ダイオードあるいはインパット(IMPATT)ダイオードであり、負性抵抗を示すようにバイアスされる。本発明に従って、負荷が、本発明に係る多ポート可変キャパシタを含むLC回路等の共振構造を有している。

【0075】負荷L及び入力デバイスINは、図26に示されているように、周波数依存インピーダンス Z_L 及び Z_{IN} によってモデル化される。この際、

$$[2] \quad Z_L = R_L + jX_L, \text{ 及び}$$

$$[3] \quad Z_{IN} = R_{IN} + jX_{IN}$$

であり、 Z_L は負荷のインピーダンス、 R_L は負荷の抵抗成分、 j は虚数単位($=(-1)^{0.5}$)、 X_L は負荷のリアクタンス成分、及び、 Z_{IN} 、 R_{IN} 及び X_{IN} は入力デバイスに係る対応する量である。

【0076】以下の等式が充足された場合に発振が起こることは公知である：

$$[4] \quad R_L + R_{IN} = 0, \text{ 及び}$$

$$[5] \quad X_L + X_{IN} = 0.$$

【0077】受動素子による負荷では $R_L > 0$ であるの

で、式[4]は $R_{IN} < 0$ ということを意味している。負性抵抗 R_{IN} は、発振器のエネルギー源である。式[5]は、以下のように発振周波数を設定する。負荷Lが可変キャパシタを含む場合には、

$$[6] \quad X_L = X_L^{(4)} + X_C;$$

ここで、 X_C は容量性リアクタンス、 $X_L^{(4)}$ は誘導性リアクタンスである。

$$[7] \quad X_C = -1/(\omega C); \text{ 及び}$$

$$[8] \quad X_L = \omega L;$$

ここで、 ω は周波数、 C はキャパシタンス、及び L はインダクタンスである。これより、発振周波数 ω_0 は、

$$[9] \quad \omega_0 = 1/[C(X_L^{(4)} + X_{IN})]$$

によって与えられる。容量 C によって決定される関数 $-X_C$ の大きさが変化するとつれて、発振器の周波数 ω_0 も変化する。

【0078】当業者には公知であるが、発振器設計には、例えば安定動作のための動作点の選択や最大出力電力、周波数引き込み、大信号効果及び雑音特性などの、上述されたもの以外のファクタに関する考察も必要である。これらのファクタは当業者には公知であり、本明細書においては詳述されない。

【0079】しばしば用いられる別の発振器構造は、増幅デバイスを用いて負性抵抗の機能をインプリメントする。図27は、従来技術に係る増幅器ベースのVFOを示す回路図である。この種の発振器は、周波数依存構造すなわち共振構造RS及び増幅デバイスAを有している。電力出力ポートは増幅デバイスAのいずれかの側にあり、この増幅デバイスは通常トランジスタによってインプリメントされる。

【0080】本発明に係る増幅器ベースのVFOにおいては、共振構造は、本発明に係る自己アセンブリインダクタを含むLC回路を有している。この種のVFOにおいては、増幅器は、その入力において、共振構造中のRF信号をモニターするように機能し、さらに、その出力において、増幅済み信号を共振構造に対して、当該共振構造における発振を維持するのに最も適した方式で注入するように機能することが可能であるようにインプリメントされる。当業者は、上記機能を実現するのに適した増幅デバイスを設計することが可能である。

【0081】増幅デバイスAのトランジスタを用いた一般的なインプリメンテーションに関しては、発振器内のトランジスタの配置は、トランジスタのスペックにかなりの部分依存する。詳細に述べれば、FETに関しては、ソース接地あるいはゲート接地配置が通常用いられる。バイポーラトランジスタに関しては、エミッタ接地及びベース接地配置がより一般的である。

【0082】トランジスタベースの負性抵抗1ポート発振器の二つの公知の配置は、双方とも本発明と共に用いられるのに適したものであるが、図28にその概念図が示されているコルピッツ発振器と、図29にその概念図

が示されているクラップ発振器である。双方の図において、増幅素子としてバイポーラトランジスタがベース接地配置で用いられている。

【0083】図28に示された実施例において、コルピッツ発振器は、二つの可変キャパシタVC1及びVC2、トランジスタT1及びインダクタL3を有しており、図示されているように電氣的に接続されている。ここでは、双方のキャパシタが可変キャパシタであるように示されているが、コルピッツ発振器の別の実施例においては、VC2が固定キャパシタによって置換されている。図29に示された実施例において、クラップ発振器は、二つの固定キャパシタC3及びC4、可変キャパシタVC3、インダクタL4及びトランジスタT2を有しており、図示されているように電氣的に接続されている。本発明に係るコルピッツ及びクラップ発振器は、受動素子として本明細書に記述された自己アセンブリインダクタを組み込んでいる。

【0084】コルピッツ及びクラップ配置の基本的な実施例においては、通常トランジスタの小信号Sパラメータが用いられるが、発振器設計を最適化するためには、大信号応答を含む完全なシミュレーションが必要であることに留意されたい。

【0085】よって、前述された代表的な発振器は、本発明に従って、本発明に係る多ポート可変キャパシタを組み込むことによって改良される。

【0086】前述された実施例のうちのいくつかにおいては、本発明に係る多ポート可変キャパシタを製造する方法と、(標準的なCMOSベースインダクタよりもMEMSベースインダクタが好まれて用いられる場合には)MEMSベースインダクタを製造する方法とを、CMOSプロセスと統合することが望ましく、あるいは必要である場合がある。統合する方法は市販されており、特定のMEMSアプリケーションの要求を充足するように容易に適合させることが一般には可能である。この種のプロセスの一例は、アナログデバイセズ(Analog Devices)社(マサチューセッツ州ノーウッド)より市販されている“BiMOSIIe[®]”である。BiMOSIIe[®]プロセスは、MEMS構造を形成するために適した表面マイクロマシーニングプロセスを、アナログアプリケーションに関して有用なデバイスを作製するために適したCMOSプロセスと統合する。BiMOSIIe[®]プロセスは、単一の構造ポリシリコン層と関連する犠牲層を、MEMS構造を形成する目的で利用する。付加的なポリシリコン層が、より多くの機能を必要に応じて実現する目的で用いられ得る。BiMOSIIe[®]プロセスに係る上方は、アナログデバイス社のMCNCサーバページ(<http://imems.mcn.c.org>)から得られる。さらに、Tsangらによる“集積回路と支持されたマイクロストラクチャを含むモノリシックチップ製造方法”という表題の米国特許第5,32

6,726号及びTsangらによる“回路と支持されたマイクロストラクチャを含むモノリシックデバイス製造方法”という表題の米国特許第5,620,931号を参照。双方とも、本発明の参考文献である。

【0087】さらに、CMOSチップにMEMS構造をモノリシック集積化する方法は、カリフォルニア州立大学バークレイ校、及びニューメキシコ州アルバカーキのサンディア国立研究所から提供されている。

【0088】以上の説明は、本発明の一実施例に関するもので、この技術分野の当業者であれば、本発明の種々の変形例が考え得るが、それらはいずれも本発明の技術的範囲に包含される。

【0089】

【発明の効果】以上述べたごとく、本発明によれば、MEMSベースの多ポート可変キャパシタ及びその使用方法が提供される。

【図面の簡単な説明】

【図1】 従来技術に係るMEMSベース可変キャパシタの第一の実例を示す模式図。

【図2】 従来技術に係るMEMSベース可変キャパシタの第二の実例を示す模式図。

【図3】 本発明に係る多ポート可変キャパシタの第一の実施例を簡潔に示す模式図。

【図4】 図3に示された多ポート可変キャパシタにバイアスが印加された場合を示す模式図。

【図5】 本発明に係る斜め多ポート可変キャパシタの第一の実施例を簡潔に示す模式図。

【図6】 図5に示された多ポート可変キャパシタにバイアスが印加された場合を示す模式図。

【図7】 本発明に係る斜め多ポート可変キャパシタの第二の実施例を簡潔に示す模式図。

【図8】 図7に示されたキャパシタをより詳細に示す模式図。

【図9】 本発明に係る多ポート可変キャパシタをスプリングと共に用いる場合の詳細を示した図。

【図10】 本発明に係る多ポート可変キャパシタをスプリングと共に用いる場合の詳細を示した図。

【図11】 本発明に係る多ポート可変キャパシタを示す模式図。

【図12】 図11に示された多ポート可変キャパシタの製造段階を示す図。

【図13】 図11に示された多ポート可変キャパシタの製造段階を示す図。

【図14】 図11に示された多ポート可変キャパシタの製造段階を示す図。

【図15】 図11に示された多ポート可変キャパシタの製造段階を示す図。

【図16】 図11に示された多ポート可変キャパシタの製造段階を示す図。

【図17】 図11に示された多ポート可変キャパシタ

の製造段階を示す図。

【図18】 本発明に係る斜め多ポート可変キャパシタにおいて用いられる支点及び支持の第一の実施例を示す模式図。

【図19】 本発明に係る斜め多ポート可変キャパシタにおいて用いられる支点及び支持の第二の実施例を示す模式図。

【図20】 本発明の実施例に係る論理回路を簡潔に示す模式図。

【図21】 本発明に係る多ポートシグナルプロセッサの概念図。

【図22】 本発明に係る多ポートシグナルプロセッサを簡潔に示す模式図。

【図23】 直列LC回路の回路図。

【図24】 並列LC回路の回路図。

【図25】 従来技術に係る単一ポート負性抵抗発振器の概念図。

【図26】 図25に示された負荷 L 及び入力デバイス I_N が周波数依存インピーダンス Z_L 及び Z_{IN} によってモデル化されたモデルを示す図。

【図27】 従来技術に係る増幅器ベースの発振器を模式的に示す図。

【図28】 従来技術に係るコルピッツ発振器配置を簡潔に示す回路図。

【図29】 従来技術に係るクラップ発振器配置を簡潔に示す回路図。

【符号の説明】

102 可変キャパシタ
104、106 平行プレート
110 信号
202 可変キャパシタ
204、206、208 平行プレート
210 信号
300 支持部材
302 可変キャパシタ
304 絶縁層
308 可動プレート
316 第一電極
322 第二電極
324 バイアス
326 信号
500 支持部材
502 可変キャパシタ
504 絶縁層
506 支点
508 可動プレート
510 第一部分
512 第二部分
514 金属層
516 第一電極

522 第二電極
524 バイアス
526 信号
700 支持部材
702 可変キャパシタ
704 絶縁層
706 支点
708 可動プレート
712 第二部分
716 第一電極
718 第二電極
720 第三電極
722 第四電極
802 可変キャパシタ
806 支点
808 可動プレート
816 電極
818 付加電極
820 電極
902 可変キャパシタ
906 支点
908 可動プレート
916 第一電極
918 第二電極
920 第三電極
922 第四電極
928 スプリング
930a、930b パッド
932a、932b コンタクト
934a、934b パッド
936a ライン
944a、944b パッド
946a、946b ワイヤトレース
948a、948b パッド
950a、950b ワイヤトレース
952 パッド
954 ワイヤトレース
1058 部材
1060 第一脚
1062
1064 第二脚
1066 第一端
1068 部材
1100 直列LC回路
1102 可変キャパシタ
1104 絶縁層
1104b 絶縁層
1108 可動プレート
1116 第一電極
1118 第二電極

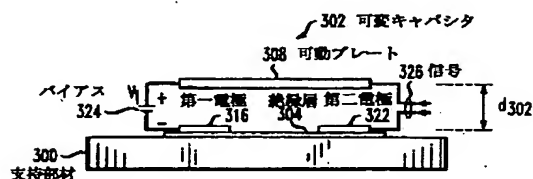
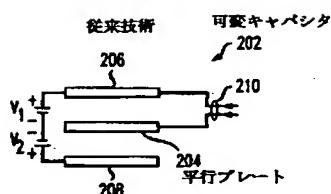
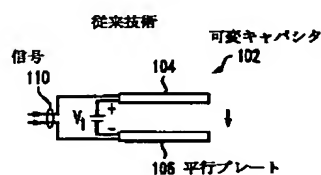
1120 第三電極
1122 第四電極
1128 スプリング
1130 アンカー
1200 並列LC回路
1206 ピヴォットピン
1208 可動プレート
1209a 部材
1209b 部材

1280 空隙
1282 曲がりプレート
1284 下層
1286 上層
1302a、1302b シグナルプロセッサ
1306b 支点
1308a、1308b 可動プレート
1316、1318、1320、1322、1324
電極

【図1】

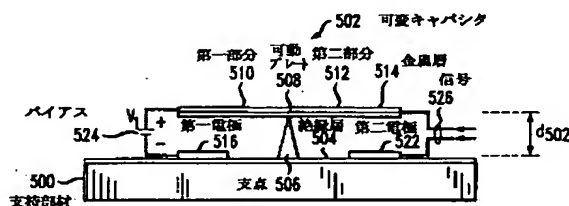
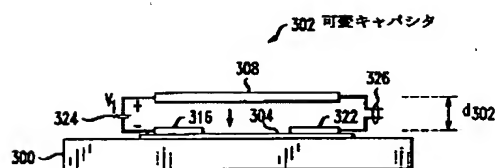
【図2】

【図3】



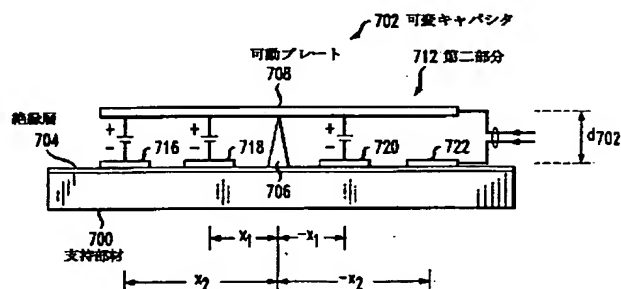
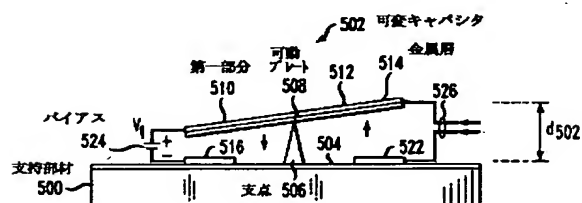
【図4】

【図5】



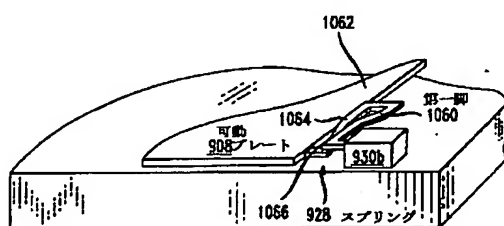
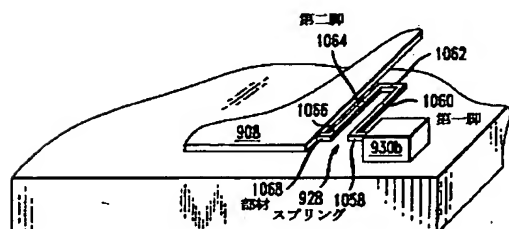
【図6】

【図7】



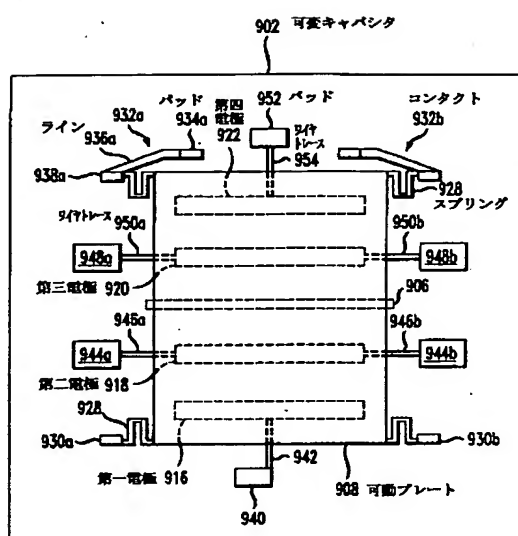
【図9】

【図10】

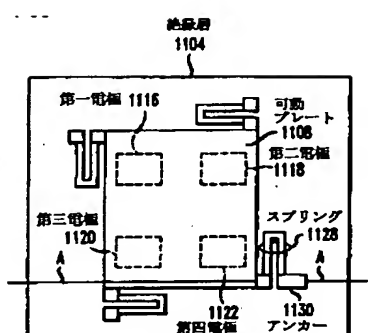


BEST AVAILABLE COPY

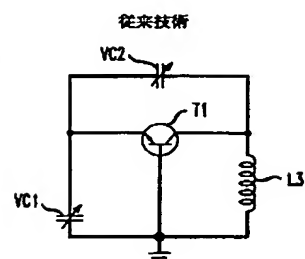
【図8】



【図11】

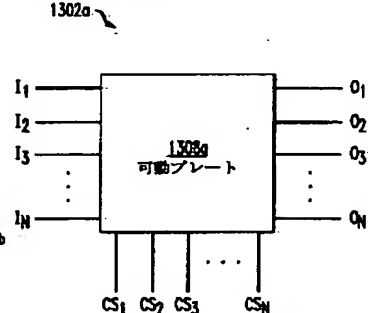


【図28】

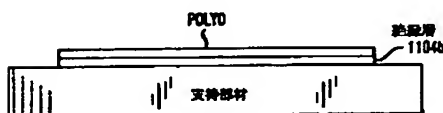


【図21】

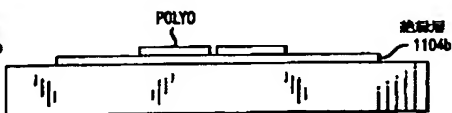
シグナルプロセッサ



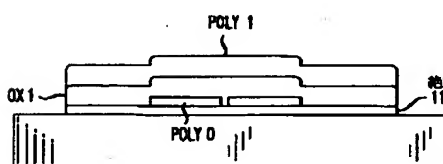
【図12】



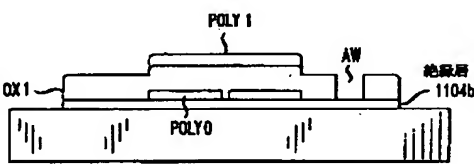
【図13】



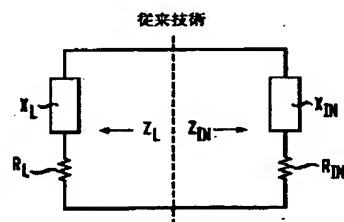
【図14】



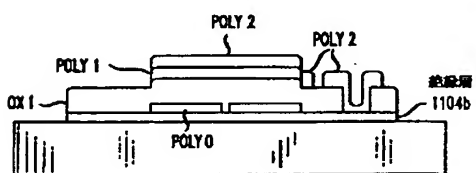
【図15】



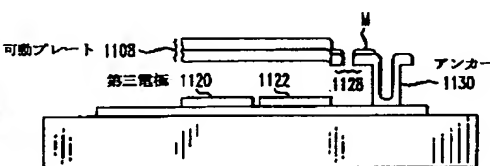
【図26】



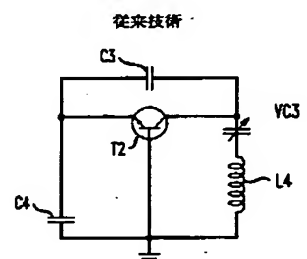
【図16】



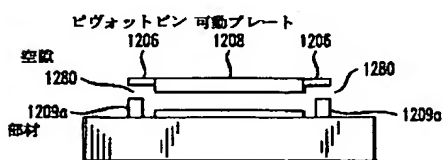
【図17】



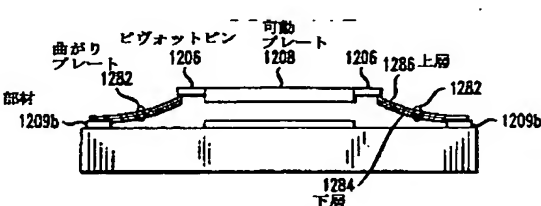
【図29】



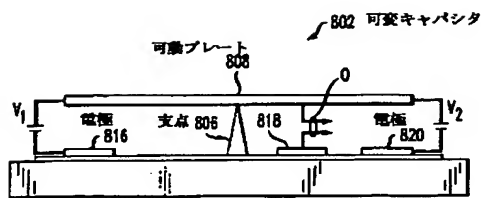
【図18】



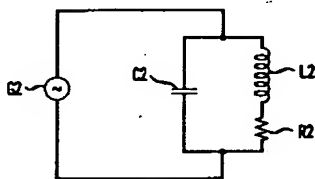
【図19】



【図20】

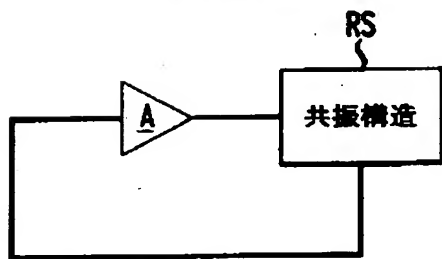


【図24】

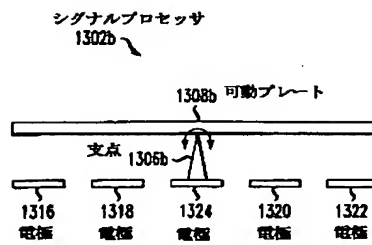
並列LC回路
1200

【図27】

従来技術

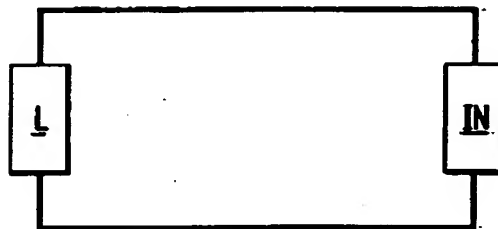


【図22】

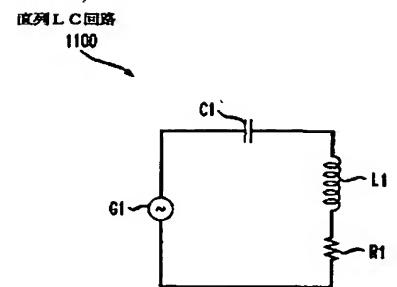


【図25】

従来技術



【図23】



フロントページの続き

(71) 出願人 596077259
600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636 U. S. A.
(72) 発明者 ブラッドリー ポール バーバー
アメリカ合衆国, 07928 ニュージャージ
ー, チャサム, ヘリテイジ ドライブ 21
ジー

(72) 発明者 デビッド ジョン ビショップ
アメリカ合衆国, 07901 ニュージャージ
ー, サミット, オーク ノル ロード 7
(72) 発明者 ビーター レンデル ガンメル
アメリカ合衆国, 07041 ニュージャージ
ー, ミルバーン, ウィットティングハム テ
ラス 58

BEST AVAILABLE COPY

(72) 発明者 マットスー エー. マルクス
アメリカ合衆国, 07960 ニュージャージー
ー, モーリスタウン, オルッジ フォージ
ウェスト 21-3 ビー